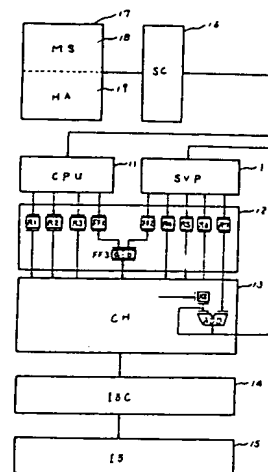


**(54) CONTROL SYSTEM FOR SVP**

- (11) 1-3743 (A) (43) 9.1.1989 (19) JP  
 (21) Appl. No. 62-157761 (22) 26.6.1987  
 (71) HITACHI LTD(1) (72) TAKETOSHI KOJIMA(2)  
 (51) Int. Cl. G06F11/22

**PURPOSE:** To extend the function of a service processor (SVP) with use of a slight quantity of hardware of the SVP itself by using an input/output processor which processes the input/output actions with instructions of a CPU and the input/output devices which are controlled by the input/output processor.

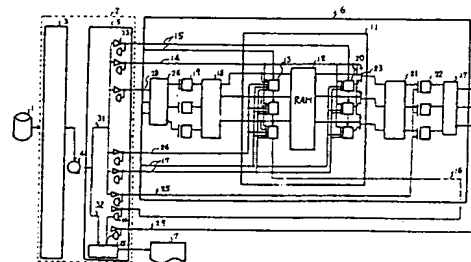
**CONSTITUTION:** An external memory controller which controls an external memory and an input/output device IO 15 is connected to a CPU 11 together with an input/output controller IOC 14 and an input/output processor CH 13 which controls said external memory controller and IOC 14. The processor CH 13 contains a means which substitutes the control of the IOC 14 and the IO 15. In other words, the input/output actions are started to the IOC 14 designated by the channel address and the device address read out of a register R2. In such a constitution, an SVP 1 has no its own external memory nor input/output device and controls the external memory and the IO 15 which are connected to the CPU 11 as substitutes. Thus the hardware quantity of the SVP 1 can be reduced.

**(54) LSI TEST METHOD**

- (11) 1-3744 (A) (43) 9.1.1989 (19) JP  
 (21) Appl. No. 62-159351 (22) 26.6.1987  
 (71) HITACHI LTD(1) (72) YOSHIO SATO(2)  
 (51) Int. Cl. G06F11/22, G01R31/28

**PURPOSE:** To detect the trouble of the peripheral logic part of a memory block by using an FF which can set and read the value out of an LSI edge pin and carrying out the peripheral logic part independently of the memory block.

**CONSTITUTION:** The diagnosis data 4 prepared by a diagnosis data production program 3 is supplied to a tester 5 and applied to an LSI to be tested via various signal lines. The value is set at an FF 19 via a scan-in signal line 28 and a scan circuit 26. Then an action switch signal line 14 is turned on and an FF 13 is initialized. The value of an FF 19 set at a front stage of a RAM 12 is transmitted within a combination circuit 18. Then the line 14 is turned off with a clock signal line 24 turned on and the transmission result is fetched by the FF 13. The line 14 is turned on again and the FF 13 is actuated as a shift register. The contents of a reading signal line 16 and the FF 13 are fetched by the tester 5 via a receiver 34. The output expected value of an expected signal line 32 is compared with the contents of the FF 13 set on the line 16 via a comparator 35. The result of this comparison is delivered to a test result list 7.



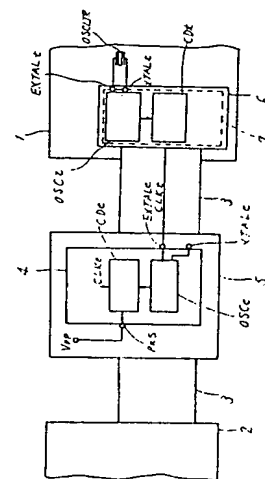
2: diagnosis system, 6: LSI to be tested, 11: RAM memory block, 21: combination circuit, 27: scan circuit, 31: input pattern, 32: expected value

**(54) EMULATION SYSTEM**

- (11) 1-3745 (A) (43) 9.1.1989 (19) JP  
 (21) Appl. No. 62-157709 (22) 26.6.1987  
 (71) HITACHI LTD(1) (72) SHIN MATSUOKA(1)  
 (51) Int. Cl. G06F11/22, G06F9/44

**PURPOSE:** To completely support the working frequency of an evaluating microcomputer (H $\mu$ C) by setting a circuit which oscillates by an oscillator for a target microcomputer (T $\mu$ C) at a place adjacent to a mounting area of the T $\mu$ C and producing a reference clock of the H $\mu$ C from the output of said circuit.

**CONSTITUTION:** A connection terminal EXTALt of a T $\mu$ C mounting area 7 connected with an oscillator OSCLTR of a user real device 1 is provided on a plug 6 together with an oscillation circuit OSCt connected to the terminal XTALt. Then an evaluation action mode setting signal Vpp is supplied to an evaluating action mode setting external terminal PnS of an H $\mu$ C4 and this H $\mu$ C4 is set under an evaluation mode. At the same time, the dividing ratio of a dividing circuit CDe is set again. Then the circuit OSCt is oscillated by the OSCLTR and the output frequency of the OSCt is divided into 1/2 by a dividing circuit CDt. A clock signal CLKt is supplied to an external terminal EXTALe of the H $\mu$ C4. The circuit CDe of the H $\mu$ C4 divides the frequency in the set dividing ratio for production of a reference clock of the H $\mu$ C4.



2: emulator main body, 3: interface cable, 4: evaluating microcomputer, CDe, CDt: dividing circuit, OSCe, OSCt: oscillation circuit

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-3745

⑪ Int.Cl.<sup>4</sup>

G 06 F 11/22  
9/44

識別記号

3 4 0  
3 1 0

庁内整理番号

A-7368-5B  
F-8724-5B

⑬ 公開 昭和64年(1989)1月9日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 エミュレーション方式

⑮ 特 願 昭62-157709

⑯ 出 願 昭62(1987)6月26日

⑰ 発 明 者 松 岡 伸 東京都小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑱ 発 明 者 青 砥 義 一 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社 東京都小平市上水本町1479番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

エミュレーション方式

2. 特許請求の範囲

1. 評価対象システムを制御するターゲットマイクロコンピュータの機能を、インタフェースケーブルを介してそれと同等の機能を有する評価用マイクロコンピュータで代行制御しながら当該評価対象システムの評価を行うエミュレーション方式において、ターゲットマイクロコンピュータの基準クロック信号を形成するために評価対象システムに設けられている振動子に隣接して接続可能な発振回路を設けると共に、その発振回路で得られる周波数をインタフェースケーブルを介して評価用マイクロコンピュータの外部クロック信号入力端子に隣接した比較的低く分周する分周回路を設け、更にその分周回路で分周された信号を供給し、その供給信号を、評価用マイクロコンピュータに内蔵されている分周比可変の分周回路で更にその周波数を所定値

に分割してターゲットマイクロコンピュータと等しい周波数を得て、それを評価用マイクロコンピュータの基準クロック信号とすることを特徴とするエミュレーション方式。

2. 上記評価用マイクロコンピュータは、評価動作モード設定用外部端子に評価動作モード設定信号が供給されることによって評価動作モードが設定可能なターゲットマイクロコンピュータともなり得るマイクロコンピュータであつて、評価モードの設定に呼応してそれに内蔵される分周回路の分周比が所定値に設定し直されるものであることを特徴とする特許請求の範囲第1項記載のエミュレーション方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はマイクロコンピュータ応用機器に対するシステム評価もしくはシステムデバッグを行うためのエミュレーション方式さらには評価対象とするターゲットマイクロコンピュータの動作周波数をサポートする技術に関し、例えば評価モード

と比評価モードに切り換え可能なマイクロコンピュータを用いるエミュレーションに適用して有効な技術に関する。

〔従来技術〕

マイクロコンピュータ応用機器（以下単に応用機器又はユーザ実機とも記す）の開発において、そのシステムデバッグやシステム評価をエミュレータによって行うことができる。斯るエミュレータは、システム開発装置を含むコンソールと、開発中の応用機器との間に接続され、応用機器に含まれるマイクロコンピュータ（ターゲットマイクロコンピュータ）の機能を代行する一方でデバッガとしての機能を持つマイクロコンピュータシステム開発用ツールである。

一般にエミュレータは、例えば昭和59年11月30日オーム社発行の「LSIハンドブック」P562乃至P563に記載されているように、ターゲットマイクロコンピュータの機能を代行するスレーブマイクロコンピュータとしてのエミュレーション用マイクロコンピュータ、エミュレー

ション制御部、ブレークポイント制御部、トレースメモリ部、代行メモリ部、全体の制御を司るマスタマイクロコンピュータなどが含まれ、エミュレーション機能、実時間トレース機能、ブレーク機能、メモリ代行機能、及びその他デバッグ機能が備えられている。

ところで従来、評価用マイクロコンピュータの動作周波数は、当該マイクロコンピュータの外部クロック信号入力端子にエミュレータ側で形成されたクロック信号が供給されることによって賄われていた。

〔発明が解決しようとする問題点〕

しかしながら、エミュレーション用マイクロコンピュータは、ターゲットマイクロコンピュータの代行制御を行う性質上、基本的にそれと等しい動作周波数で動作されることが必要とされるが、ユーザ実機としての応用機器に用いられる振動子の固有振動数はユーザにとって任意であるから、それを全てエミュレータ側でサポートすることは実質的に不可能である。そうかといって、応用機

器に設けられている振動子をインタフェースケーブルを介してそのまま評価用マイクロコンピュータの振動子接続用外部端子に接続しただけでは、振動子の性質上当該評価用マイクロコンピュータに内蔵されている発振回路を発振させることはできない。そこで、本発明者らは、インタフェースケーブルとターゲットマイクロコンピュータの搭載エリアとの接続コネクタに発振回路を設け、その発振信号を評価用マイクロコンピュータの外部クロック入力端子に供給することを検討したが、インタフェースケーブルには、不所望な寄生成分などが存在することから、完全にインピーダンスマッチングを図ることはできず、電圧反射などによるノイズや発振信号の鈍りによって、マイクロコンピュータの動作に必要な信号波形もしくは周波数を得られなくなるという問題点を見出した。

本発明の目的は、評価対象とするターゲットマイクロコンピュータの動作周波数を完全にサポートすることができるエミュレーション方式を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

すなわち、評価対象システムを制御するターゲットマイクロコンピュータの機能を、インタフェースケーブルを介してそれと同等の機能を有する評価用マイクロコンピュータで代行制御しながら当該評価対象システムの評価を行うエミュレーション方式において、ターゲットマイクロコンピュータの基準クロック信号を形成するために評価対象システムに設けられている振動子に隣接して接続可能な発振回路を設けると共に、その発振回路で得られる周波数をインタフェースケーブルを介して評価用マイクロコンピュータの外部クロック信号入力端子の前段で比較的低く分周する分周回路を設け、更にその分周回路で分周された信号を供給し、その供給信号を、評価用マイクロコンピュ

ータに内蔵されている分周比可変の分周回路で更にその周波数を所定値に分周してターゲットマイクロコンピュータと等しい周波数を得て、それを評価用マイクロコンピュータの基準クロック信号とするものである。

#### 〔作用〕

上記した手段によれば、ターゲットマイクロコンピュータ搭載エリアに隣接配置した発振回路をターゲットマイクロコンピュータ用の振動子で発振させ、その発振信号の周波数を、当該インタフェースケープに接続されている分周回路で低くするから、インタフェースケープに不所望な容量成分などが存在して完全なインピーダンスマッチングを回ることができなくても、マイクロコンピュータに対する電圧反射などによるノイズや発振信号の鈍りを低減して、評価対象とするターゲットマイクロコンピュータの動作周波数のサポートを、ユーザ実機に備えられている振動子を利用して達成するものである。

#### 〔実施例〕

は、ユーザ実機1におけるターゲットマイクロコンピュータ搭載エリア7に接続されている。

ターゲットマイクロコンピュータ搭載エリア7は、図示しないターゲットマイクロコンピュータの外部端子に接続される複数の接続端子によって構成され、そのうちの端子EXTAL<sub>1</sub>及びXTAL<sub>1</sub>には、図示しないターゲットマイクロコンピュータのための水晶振動子のような振動子OSC<sub>1</sub>TRが結合されている。

上記評価用マイクロコンピュータ4は、エミュレーションの性質上前記図示しないターゲットマイクロコンピュータと同等もしくは同一の制御機能を有するもので、特に制限されないが、評価動作モード設定用外部端子P<sub>ms</sub>に電源電圧ユーザ実機における電源電圧レベルよりも高い電圧レベルを有するような評価動作モード設定信号V<sub>DP</sub>が供給されることによって評価動作モードが設定され、また、その評価動作モード設定用外部端子P<sub>ms</sub>が開放又はそれに接地電位が供給されることによってターゲットマイクロコンピュータ

第1図は本発明に係るエミュレーション方式の一実施例を示す説明図である。第1図において1は、システム開発されるべきもしくはシステム評価又はデバッグされるべきマイクロコンピュータ応用機器としてのユーザ実機である。2はエミュレータ本体であり、その構成については図示しないが、概略的には、エミュレーション制御部、ブレークポイント制御部、トレースメモリ部、代行メモリ部、全体の制御を司るマスタマイクロコンピュータなどが含まれ、エミュレーション機能、実時間トレース機能、ブレーク機能、メモリ代行機能、及びその他デバッグ機能が備えられている。各機能の実行は、エミュレータ本体2に接続される図示しないコンソールなどによってコントロールされる。エミュレータ本体2から延長されたインタフェースケープ3の中間部には、エミュレーション用のスレーブマイクロコンピュータとしての評価用マイクロコンピュータ4を交換可能に搭載するボッド5が備えられ、そのインタフェースケープ3の先端に設けられているプラグ6

ともなり得るマイクロコンピュータである。斯るマイクロコンピュータ4に評価モードが設定されると、その制御動作中において入出力される各種データ及び制御信号や内部におけるデータのやりとりは、システム評価やシステムデバッグのためのトレース情報としてエミュレータ本体に供給可能とされる。

上記評価用マイクロコンピュータ4は、それに非評価モードが設定されるときに、言い換えるなら、それがターゲットマイクロコンピュータとされるときにその制御動作に必要な動作周波数を得るために、水晶振動子を結合可能な外部端子EXTAL<sub>2</sub>及びXTAL<sub>2</sub>が設けられ、その外部端子は発振回路OSC<sub>2</sub>に接続されている。ここで、評価用マイクロコンピュータ4に推奨される振動子は、特に制限されないが、並列共振のためにコストの安い4メガヘルツ水晶振動子とされ、それに呼応して、動作周波数が1メガヘルツとされるため、上記発振回路OSC<sub>2</sub>の発振周波数を1/4にする分周回路CD<sub>2</sub>が設けられ、その分周回

路CDeの出力クロック信号が本マイクロコンピュータ4に最適な基準クロック信号CLKoとされる。また、発振回路OSCは、外部クロック信号を用いる場合、特に制限されないが、その外部端子EXTALoに外部クロック信号を受けると共に、外部端子XTALoを開放状態にすることによって、斯る外部クロック信号をそのままの周波数で分周回路CDeに出力する。

上記評価用マイクロコンピュータ4は、それに評価モードが設定されるとき、ターゲットマイクロコンピュータの代行制御を行う性質上、基本的にそれと等しい動作周波数で動作されることが必要とされるから、ユーザ実機1におけるターゲットマイクロコンピュータの動作周波数を完全にサポートするには、ユーザ実機1に備えられている振動子OSCLTRを用いて評価用マイクロコンピュータ4の動作周波数即ち基準クロック信号CLKoを得ることが望ましい。そこで、本実施例においては、ユーザ実機1に備えられている振動子OSCLTRが接続されているターゲットマイ

クロコンピュータ搭載エリア7の接続端子EXTALi及びXTALiに結合する発振回路OSCtを上記プラグ6上に形成する。分周回路CDtは、特に制限されないが、発振回路OSCtの出力周波数を1/2にし、また、発振回路OSCtは、評価用マイクロコンピュータ4に内蔵されている発振回路OSCLTRtと同一構成とされる。そして、その分周回路CDtから出力されるクロック信号CLKtは、評価用マイクロコンピュータ4における外部端子EXTALoに外部クロック信号として供給される。このようにしてクロック信号CLKtが評価用マイクロコンピュータ4に供給されるとき、発振回路OSCtは振動子OSCLTRの近傍で接続されているから誘導ノイズなどの影響を受けずに正常に発振され、更に、分周回路CDtによってその発振周波数は1/2に低減され2メガヘルツのクロック信号CLKtとしてインタフェースケーブル3を伝播されるから、そのインタフェースケーブル3に不所望な容量成分などが存在して完全なインピーダンスマッ

チングを図ることができなくても、電圧反射などによるノイズや伝播信号の鈍りは凡そ半減されて、実質的な影響を受けることなく評価用マイクロコンピュータ4に伝達される。

このようにして伝達されたクロック信号CLKtは、評価用マイクロコンピュータ4に必要とされる動作周波数の2倍であるから、そのまま分周回路CDeで4分周したのでは必要な動作周波数を得ることができないから、上記分周回路CDeは、評価動作モード設定用外部端子Pmsを介して評価用マイクロコンピュータ4に評価動作モードが設定されるとき、それに呼応して、分周比が半減されるように、音い換えるなら、2分周とするように所定値に設定し直される。したがって、評価用マイクロコンピュータ4は、それに評価モードが設定されているとき、2メガヘルツのクロック信号CLKtを外部クロック信号として供給されても、それに含まれる分周回路CDeは、4メガヘルツのクロック信号CLKoを基準クロック信号として出力することにより、評価対象とす

るターゲットマイクロコンピュータの動作周波数のサポートを、ユーザ実機1に備えられている振動子OSCLTRを利用して完全に達成することができる。

上記実施例によれば以下の作用効果を得るものである。

(1) 発振回路OSCtはボッド6に設けられていて、ユーザ実機1側の振動子OSCLTRtの近傍で接続されているから、誘導ノイズなどの影響を受けずに正常に発振され、更に、分周回路CDtによってその発振周波数は1/2に低減され2メガヘルツのクロック信号CLKtとしてインタフェースケーブル3を伝播されるから、そのインタフェースケーブル3に不所望な容量成分などが存在して完全なインピーダンスマッチングを図ることができなくても、電圧反射などによるノイズや伝播信号の鈍りは凡そ半減されて実質的な影響を受けることなく、そのユーザ実機1側の振動子OSCLTRtで発振されたクロック信号を外部クロック信号として評価用マイクロコンピュータ

4に伝達することができる。

(2) 上記分周回路CDeは、評価動作モード設定用外部端子Pmsを介して評価用マイクロコンピュータ4に評価動作モードが設定されるとき、それに呼応して、分周比が半減されるから、評価用マイクロコンピュータ4に評価モードが設定されているとき、2メガヘルツのクロック信号CLKtが外部クロック信号として供給されても、それに含まれる分周回路CDeは、動作周波数として最適な4メガヘルツのクロック信号CLKeを基準クロック信号として出力することができる。

(3) 上記作用効果(1)及び(2)より、評価対象とするターゲットマイクロコンピュータの動作周波数のサポートを、ユーザ実機1に備えられている振動子OSCLTRを利用して完全に達成することができる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更することができる。

ツールを用いたエミュレーションなどに適用することができる。

#### (発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

すなわち、ターゲットマイクロコンピュータ搭載エリアに隣接配置した発振回路をターゲットマイクロコンピュータ用の振動子で発振させ、その発振信号の周波数を、当該インタフェースケーブルに接続されている分周回路で予め低くしてそのインタフェースケーブル上を伝播させるから、インタフェースケーブルに不所望な容量成分などが存在して完全なインピーダンスマッチングを図ることができなくても、電圧反射などによるノイズや発振信号の鈍りを低減して、評価対象とするターゲットマイクロコンピュータの動作周波数のサポートを、ユーザ実機に備えられている振動子を利用して完全に達成することができる。

#### 4. 図面の簡単な説明

例えば、評価用マイクロコンピュータの動作周波数は4メガヘルツに限定されず、また、振動子は水晶振動子に限定されず、セラミック振動子などに変更可能である。また、評価用マイクロコンピュータは、評価専用のマイクロコンピュータであってもよく、その場合には、内蔵の分周回路の分周比は、ボッドに設けた分周回路の分周比との関係において固定的に設定してもよい。また、ボッドに内蔵する分周回路の分周比は上記実施例に限定されず、評価用マイクロコンピュータの最適動作周波数やインタフェースケーブルの長さなどとの関係において適宜設定することができる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である評価モードと非評価モードに切り換え可能なマイクロコンピュータを用いたエミュレーションに適用した場合について説明したが、本発明はそれに限定されるものではなく、評価専用のマイクロコンピュータを用いたエミュレーション、更にはエミュレータ以外のマイクロコンピュータシステム開発

第1図は本発明に係るエミュレーション方式の一実施例を示す説明図である。

1…ユーザ実機、2…エミュレータ本体、3…インタフェースケーブル、4…評価用マイクロコンピュータ、5…ボッド、6…プラグ、7…ターゲットマイクロコンピュータ搭載エリア、OSCt及びOSCe…発振回路、OSCLTR…振動子、CDt及びCDe…分周回路、Pms…評価動作モード設定用外部端子。

代理人 弁理士 小川 勝 男



第 1 図

